

Nazwa kwalifikacji: **Eksploatacja urządzeń elektronicznych**

Oznaczenie kwalifikacji: **E.20**

Numer zadania: **01**

Wypełnia zdający

Numer PESEL zdającego*

--	--	--	--	--	--	--	--	--	--	--	--

Miejsce na naklejkę z numerem
PESEL i z kodem ośrodka

E.20-01-18.01

Czas trwania egzaminu: **180 minut**

EGZAMIN POTWIERDZAJĄCY KWALIFIKACJE W ZAWODZIE
Rok 2018
CZĘŚĆ PRAKTYCZNA

Instrukcja dla zdającego

1. Na pierwszej stronie arkusza egzaminacyjnego wpisz w oznaczonym miejscu swój numer PESEL i naklej naklejkę z numerem PESEL i z kodem ośrodka.
2. Na KARCIE OCENY w oznaczonym miejscu przyklej naklejkę z numerem PESEL oraz wpisz:
 - swój numer PESEL*,
 - oznaczenie kwalifikacji,
 - numer zadania,
 - numer stanowiska.
3. Sprawdź, czy arkusz egzaminacyjny zawiera 9 stron i nie zawiera błędów. Ewentualny brak stron lub inne usterki zgłoś przez podniesienie ręki przewodniczącemu zespołu nadzorującego.
4. Zapoznaj się z treścią zadania oraz stanowiskiem egzaminacyjnym. Masz na to 10 minut. Czas ten nie jest wliczany do czasu trwania egzaminu.
5. Czas rozpoczęcia i zakończenia pracy zapisze w widocznym miejscu przewodniczący zespołu nadzorującego.
6. Wykonaj samodzielnie zadanie egzaminacyjne. Przestrzegaj zasad bezpieczeństwa i organizacji pracy.
7. Po zakończeniu wykonania zadania pozostaw arkusz egzaminacyjny z rezultatami oraz KARTĘ OCENY na swoim stanowisku lub w miejscu wskazanym przez przewodniczącego zespołu nadzorującego.
8. Po uzyskaniu zgody zespołu nadzorującego możesz opuścić salę/miejsce przeprowadzania egzaminu.

Powodzenia!

* w przypadku braku numeru PESEL – seria i numer paszportu lub innego dokumentu potwierdzającego tożsamość

Zadanie egzaminacyjne

Lampa oświetlająca pomieszczenie, składająca się z trzech niezależnych punktów świetlnych jest sterowana za pomocą sekwencyjnego włącznika oświetlenia (w skrócie SWO). SWO jest wyposażony wyłącznie w jeden przycisk zwierny, za pomocą którego możliwy jest wybór jednej z czterech kombinacji świecenia poszczególnych punktów świetlnych (tzw. tryb pracy). W trybie pracy nr 1 (stan spoczynkowy) – nie działa żaden punkt świetlny (oświetlenie wyłączone). W trybie nr 2 działa jeden punkt świetlny. W trybie nr 3 działają dwa punkty świetlne. W trybie nr 4 działają wszystkie punkty świetlne. Schemat zadziałania przekaźników w kolejnych trybach pracy prawidłowo działającego układu SWO zilustrowano w tabeli 1.

Tabela 1. Schemat zadziałania przekaźników PK1÷PK3 prawidłowo działającego układu SWO

1	NIE	NIE	NIE
2	NIE	TAK	NIE
3	NIE	TAK	TAK
4	TAK	TAK	TAK

Z chwilą włączenia napięcia zasilającego, układ SWO rozpoczyna działanie w trybie pracy nr 1, natomiast po każdorazowym naciśnięciu przycisku zwiernego monostabilnego układ SWO przechodzi do kolejnego trybu pracy w następującej sekwencji: 1, 2, 3, 4, 1, 2, 3, 4, 1, 2....itd.

Schemat ideowy układu SWO pokazano na rys. 1, a szczegółową zasadę działania tego układu opisano w dalszej części arkusza egzaminacyjnego.

Włączenie zasilania poszczególnych punktów świetlnych jest realizowane za pomocą styków zwiernych trzech przekaźników: PK1, PK2 oraz PK3, przy czym pojedynczy punkt świetlny jest sterowany stykami zwiernymi wyłącznie jednego przekaźnika.

Przedstawiony układ SWO uległ uszkodzeniu, w wyniku którego przekaźniki PK1÷PK3 działają w nieprawidłowy sposób, co zilustrowano schematem zadziałania pokazanym w tabeli 2. W szarych polach tabeli 2 zaznaczono stany przekaźników niezgodne z danymi podanymi w tabeli 1.

Tabela 2. Schemat zadziałania przekaźników PK1÷PK3 uszkodzonego układu SWO

1	NIE	NIE	
2	NIE	TAK	
3	NIE		TAK
4		TAK	TAK

Wykonano badania testowe uszkodzonego układu SWO poprzez:

1. Pomiary przebiegów czasowych w bloku cyfrowym układu SWO (elementy B1, B2, U1, U2, U3) we wszystkich trybach pracy za pomocą analizatora poziomów logicznych. Wyniki pomiarów są pokazane na rys. 2.
2. Pomiary wartości napięć w bloku analogowym układu SWO dla trzech układów sterujących cewkami przekaźników (elementy R1÷R3, T1÷T3, D1÷D3) pracujących w stanie pasywnym i aktywnym. W tym celu blok analogowy został odłączony od bloku cyfrowego w punktach pomiarowych A, B, C, zaznaczonych na rys. 1. Przy testowaniu tego bloku użyto sygnałów cyfrowych z zewnętrznego generatora poziomów logicznych dołączonego do punktów A, B, C. Wyniki pomiarów są podane w tabeli 3.
3. Pomiary napięć na złączach p-n diod D1÷D3 oraz tranzystorów T1÷T3 (tzw. test diody) dla elementów wymontowanych z układu SWO. Wyniki pomiarów są podane w tabeli 4.

Znajdź usterkę oraz wskaż sposób jej usunięcia w układzie SWO, jeżeli wiadomo, że elementy: U1, U2, U3, PK1, PK2, PK3, P1, C1, R1÷R5, B3 są sprawne.

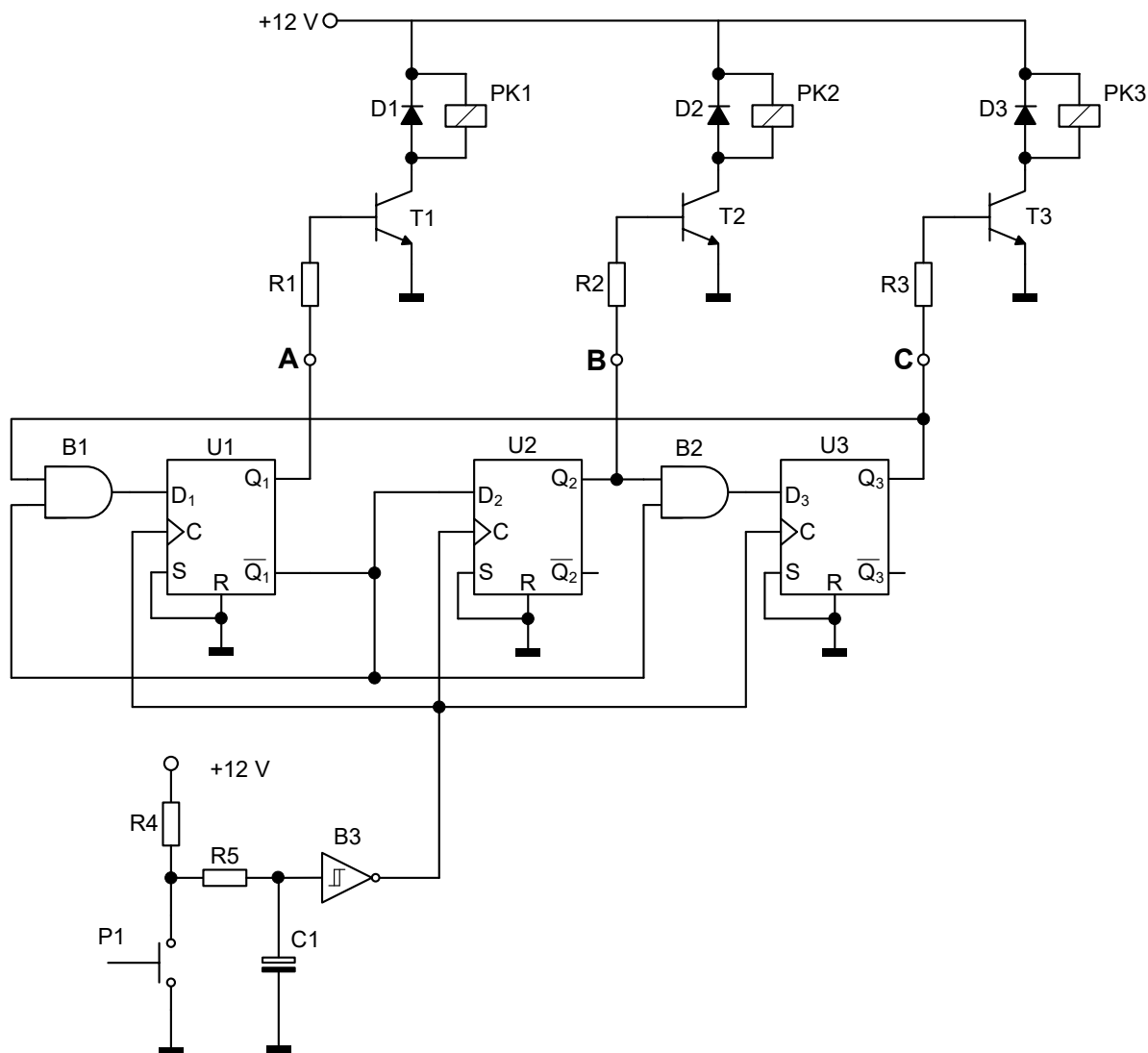
W celu naprawy usterki wykorzystaj elementy elektroniczne dostępne na stanowisku badawczo-pomiarowym. Zadanie rozwiąż wypełniając kartę badania SWO. Wykorzystaj informacje ujęte w arkuszu egzaminacyjnym:

1. schemat ideowy układu SWO – rys. 1,
2. wykaz elementów użytych do budowy układu SWO,
3. opis zasady działania układu SWO,
4. wyniki pomiarów przebiegów czasowych w bloku cyfrowym układu SWO – rys. 2,
5. wyniki pomiarów wartości napięć w bloku analogowym układu SWO – tabela 3,
6. wyniki pomiarów napięć na złączach p-n diod D1÷D3 oraz tranzystorów T1÷T3 – tabela 4,
7. wykaz elementów elektronicznych dostępnych na stanowisku badawczo-pomiarowym przeznaczonych do usunięcia usterki.

Czas przeznaczony na wykonanie zadania wynosi 180 minut.

Ocenie podlegać będzie 6 rezultatów:

- Wykaz wyposażenia stanowiska pomiarowego – tabela 5
- Ocena zgodności wyników pomiarów poziomów logicznych bramek B1 i B2 w bloku cyfrowym układu SWO ze stanami logicznymi sprawnego układu SWO – tabela 6
- Ocena zgodności wyników pomiarów napięć w bloku analogowym układu SWO z wynikami przewidywanymi dla układu działającego poprawnie – tabela 7
- Ocena zgodności wyników pomiarów napięć na złączach p-n diod D1÷D3 oraz tranzystorów T1÷T3 z wynikami przewidywanymi dla układu działającego poprawnie – tabela 8
- Ocena sprawności wybranych elementów wchodzących w skład układu SWO – tabela 9
- Wybór elementów przeznaczonych do wymiany w celu naprawy usterki układu SWO – tabela 10



Rys. 1. Schemat ideowy sekwencyjnego włącznika oświetlenia (SWO)

Wykaz elementów użytych do budowy układu SWO

R1, R2, R3, R4: rezystor 10 k Ω / 0,125 W

R5: rezystor 100 Ω / 0,125 W

C1: kondensator elektrolityczny 10 μ F/25 V

D1, D2, D3: dioda 1N4148

T1, T2, T3: tranzystor BC547C

B1, B2: układ scalony CD4081BP (2 szt.)

B3: układ scalony CD40106BP (1 szt.)

U1: układ scalony CD4013BP (1 szt.)

U2, U3: układ scalony CD4013BP (1 szt.)

PK1, PK2, PK3: przekaźnik AZ6963 SPST-NO

P1: przycisk zwrotny monostabilny

Uwaga! Do budowy układu SWO wykorzystano po dwie sztuki układu scalonego CD4013BP oraz CD4081BP, a także jedną sztukę układu CD40106BP. Układy scalone CD4013BP, CD4081BP oraz CD40106BP są układami logicznymi wykonanymi w technologii CMOS. Układ scalony CD4013BP zawiera w swej strukturze dwa przerzutniki typu D. Układ scalony CD4081BP zawiera w swej strukturze cztery bramki logiczne AND. Układ scalony CD40106BP zawiera w swej strukturze sześć bramek logicznych NOT typu Schmitt.

Opis zasady działania układu sekwencyjnego włącznika oświetlenia

Układ składa się z trzech zasadniczych części:

1. generatora sygnału sterującego wyzwalanego ręcznie (elementy B3, P1, R4, R5, C1),
2. bloku cyfrowego (elementy U1, U2, U3, B1, B2),
3. bloku analogowego (elementy R1÷R3, T1÷T3, D1÷D3, PK1÷PK3).

Funkcją generatora sygnału sterującego jest formowanie impulsu prostokątnego sterującego wejścia zegarowe przerzutników U1÷U3. Elementy B3, R5, C1 tworzą układ przerzutnika Schmitta, którego zadaniem jest wytworzenie pojedynczego impulsu prostokątnego w chwili naciśnięcia przycisku monostabilnego P1 i jednocześnie eliminowanie niepożądanych wielokrotnych krótkotrwałych impulsów powstałych na skutek drgania styków przycisku P1.

Funkcją bloku cyfrowego jest wytworzenie ściśle określonej sekwencji (kolejności) załączania przełączników PK1÷PK3 (patrz Tabela 1). W rozważanym bloku zastosowano odpowiednio połączoną sieć przerzutników typu D (układy U1, U2, U3) oraz bramek logicznych AND (układy B1, B2). Zasada działania każdego przerzutnika typu D polega na tym, że w chwili podania na jego wejście C zbocza narastającego impulsu zegarowego przenosi on poziom logiczny z wejścia D na wyjście Q. Natomiast na jego wyjściu $\bar{Q}$ zawsze występuje poziom logiczny przeciwny do poziomu logicznego występującego na wyjściu Q. Z kolei w przypadku bramki logicznej AND (iloczyn logiczny), wysoki poziom logiczny na jej wyjściu występuje wyłącznie, gdy na obu jej wejściach znajdują się wysokie poziomy logiczne.

Pokazana na rys. 1 sieć połączeń przerzutników i bramek sprawia, że w chwili włączenia napięcia zasilającego na wyjściach wszystkich przerzutników występuje niski poziom logiczny (poziom L). Układ pracuje wtedy w trybie nr 1. Przejście do kolejnego trybu pracy odbywa się po naciśnięciu przycisku monostabilnego P1, co powoduje wygenerowanie pojedynczego impulsu zegarowego sterującego wejścia zegarowe jednocześnie wszystkich przerzutników.

Wartości poziomów logicznych występujących na wyjściach Q, $\bar{Q}$ oraz wejściach D wszystkich przerzutników dla kolejnych trybów pracy wynikają z opisanych powyżej zasad działania: przerzutnika typu D oraz bramki logicznej AND.

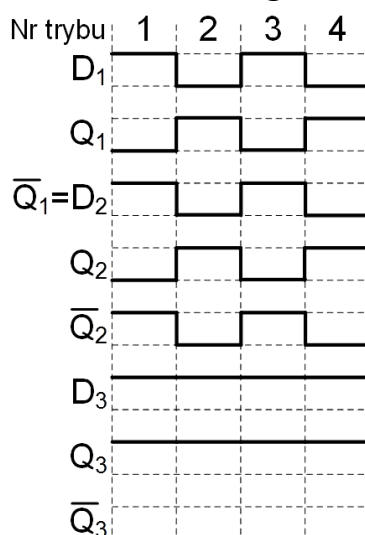
Funkcją bloku analogowego jest sterowanie załączaniem cewek przełączników PK1÷PK3 w zależności od wartości poziomów logicznych występujących na wyjściach Q₁÷Q₃ przerzutników D. Z uwagi na to, że blok analogowy zawiera trzy identyczne układy sterujące, opisano zasadę działania przykładowego układu sterującego z tranzystorem T1.

W przypadku, gdy na wyjściu Q₁ przerzutnika U1 występuje poziom L, co odpowiada wartości napięcia bliskiej zeru, tranzystor T1 jest zatkany i przez cewkę PK1 nie płynie prąd. Układ sterujący z elementami R1, T1, D1, PK1 znajduje się **w stanie pasywnym**.

Natomiast w przypadku, gdy na wyjściu Q₁ występuje poziom H (napięcie o wartości bliskiej wartości napięcia zasilania), tranzystor T1 przewodzi, co powoduje przepływ prądu przez cewkę przełącznika PK1. Układ sterujący pracuje wtedy **w stanie aktywnym**.

Zadaniem rezystora R1 jest ograniczenie prądu bazy tranzystora T1, natomiast funkcją diody D1 jest zabezpieczenie tranzystora T1 przed jego uszkodzeniem na skutek napięć indukowanych na cewce przełącznika w trakcie przełączania.

Wyniki badań uszkodzonego układu SWO



Rys. 2. Przebiegi czasowe w bloku cyfrowym uszkodzonego układu SWO

UWAGA! Pomiar napięć w punktach pomiarowych wykonano względem masy			
		(na wejścia A, B, C podane są zera logiczne)	(na wejścia A, B, C podane są jedynki logiczne)
1.	Baza tranzystora T1	0,05 V	11,92 V
2.	Kolektor tranzystora T1	12,11 V	12,11 V
3.	Baza tranzystora T2	0,05 V	0,719 V
4.	Kolektor tranzystora T2	12,11 V	0,101 V
5.	Baza tranzystora T3	0,06 V	0,725 V
6.	Kolektor tranzystora T3	12,11 V	0,118 V

1.	Anoda-katoda diody D1	0,5571 V	∞ (przekroczenie zakresu)
2.	Anoda-katoda diody D2	0,5612 V	∞ (przekroczenie zakresu)
3.	Anoda-katoda diody D3	0,5564 V	∞ (przekroczenie zakresu)
4.	Baza-emiter tranzystora T1	∞ (przekroczenie zakresu)	∞ (przekroczenie zakresu)
5.	Baza-kolektor tranzystora T1	∞ (przekroczenie zakresu)	∞ (przekroczenie zakresu)
6.	Baza-emiter tranzystora T2	0,7073 V	∞ (przekroczenie zakresu)
7.	Baza-kolektor tranzystora T2	0,7012 V	∞ (przekroczenie zakresu)
8.	Baza-emiter tranzystora T3	0,7108 V	∞ (przekroczenie zakresu)
9.	Baza-kolektor tranzystora T3	0,7056 V	∞ (przekroczenie zakresu)
UWAGA! Pomiar napięć wykonano dla elementów wymontowanych z układu SWO			

Wykaz elementów elektronicznych dostępnych na stanowisku badawczo-pomiarowym przeznaczonych do usunięcia usterki:

- układ scalony CD4013BP – 5 szt.,
- układ scalony CD4081BP – 5 szt.,
- układ scalony CD40106BP – 5 szt.,
- tranzystor BC547C – 5 szt.,
- dioda 1N4148 – 5 szt.

KARTA BADANIA UKŁADU SEKWENCYJNEGO WŁĄCZNIKA OŚWIETLENIA

1.			
2.			
3.			
4.			

					Wniosek
	Stany logiczne na wejściach sprawnego układu SWO odczytany z rys. 2		Wyjście		
			Stan logiczny odczytany z rys. 2	Stan logiczny wynikający z zasady działania bramki	
	Q ₃	$\overline{Q}_1$	D ₁	D1	
Tryb nr 1				H	
Tryb nr 2				L	
Tryb nr 3				H	
Tryb nr 4				L	
					Wniosek
	Stany logiczne na wejściach sprawnego układu SWO odczytany z rys. 2		Wyjście		
			Stan logiczny odczytany z rys. 2	Stan logiczny wynikający z zasady działania bramki	
	Q ₂	$\overline{Q}_1$	D ₃	D ₃	
Tryb nr 1				L	
Tryb nr 2				L	
Tryb nr 3				L	
Tryb nr 4				L	

Lp.	Punkt pomiarowy	Wartość napięcia układu sterujące		Wniosek
		w stanie pasywnym	w stanie aktywnym	
1.	Baza tranzystora T1	0,05 V	11,92 V	
2.	Kolektor tranzystora T1	12,11 V	12,11 V	
3.	Baza tranzystora T2	0,05 V	0,719 V	
4.	Kolektor tranzystora T2	12,11 V	0,101 V	
5.	Baza tranzystora T3	0,06 V	0,725 V	
6.	Kolektor tranzystora T3	12,11 V	0,118 V	

Lp.	Nazwa złącza	Wartość napięcia		Wniosek
		Kierunek przewodzenia	Kierunek zaporowy	
1.	Anoda-katoda diody D1	0,5571 V	∞	
2.	Anoda-katoda diody D2	0,5612 V	∞	
3.	Anoda-katoda diody D3	0,5564 V	∞	
4.	Baza-emiter tranzystora T1	∞	∞	
5.	Baza-kolektor tranzystora T1	∞	∞	
6.	Baza-emiter tranzystora T2	0,7073 V	∞	
7.	Baza-kolektor tranzystora T2	0,7012 V	∞	
8.	Baza-emiter tranzystora T3	0,7108 V	∞	
9.	Baza-kolektor tranzystora T3	0,7056 V	∞	
Uwaga! ∞ – oznacza przekroczenie zakresu				

Lp.	Typ elementu	Funkcja elementu	Wniosek
1.	CD4081BP	Bramka B1	
2.	CD4081BP	Bramka B2	
3.	BC547C	Tranzystor T1	
4.	BC547C	Tranzystor T2	
5.	BC547C	Tranzystor T3	
6.	1N4148	Dioda D1	
7.	1N4148	Dioda D2	
8.	1N4148	Dioda D3	

(patrz tabela 9)		